

ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW

50 BROADWAY

31st FLOOR

NEW YORK, NEW YORK 10004

L. ADAMS
VAN C. WILKS

JOHN R. BENEFIEL

PAUL R. HOFFMAN

TAKESHI NISHIDA

FRANCO S. DE LIGUORI

• NOT ADMITTED IN NEW YORK
• REGISTERED PATENT AGENT

RIGGS T. STEWART
(1924-1993)

TELEPHONE
(212) 809-3700

FACSIMILE
(212) 809-3704

MARCH 3, 2005

COMMISSIONER FOR PATENTS
Washington, DC 20231

Re: Patent Application of Jun OSANAI

Serial No. 10/647,945

Filing Date: August 26, 2003

Examiner: Scott B. Geyer

Group Art Unit: 2829

Docket No. S004-5106

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

- | | |
|---|-----------------------|
| 1. Japanese Patent Appln. No. 2002-248540 | filed August 28, 2002 |
| 2. Japanese Patent Appln. No. | filed |
| 3. Japanese Patent Appln. No. | filed |
| 4. Japanese Patent Appln. No. | filed |
| 5. Japanese Patent Appln. No. | filed |
| 6. Japanese Patent Appln. No. | filed |
| 7. Japanese Patent Appln. No. | filed |
| 8. Japanese Patent Appln. No. | filed |
| 9. Japanese Patent Appln. No. | filed |
| 10. Japanese Patent Appln. No. | filed |
| 11. Japanese Patent Appln. No. | filed |

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER OF PATENTS & TRADEMARKS, Washington, DC 20231, on the date indicated below.

DEBRA BUONINCONTI

Name

Debra Buoninconti

Signature

MARCH 3, 2005

Date

BLA: db
Enclosures

Respectfully submitted,

ADAMS & WILKS
Attorneys for Applicant(s)

By:

Bruce L. Adams
Bruce L. Adams
Reg. No. 25,386

BEST AVAILABLE COPY

日 本 国 特 許 庁

JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 8月28日

出 願 番 号

Application Number:

特願2002-248540

ST.10/C]:

[JP2002-248540]

出 願 人

Applicant(s):

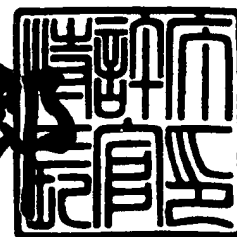
セイコーインスツルメンツ株式会社

CERTIFIED COPY OF
PRIORITY DOCUMENT

2003年 6月 3日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



【書類名】 特許願

【整理番号】 02000701

【提出日】 平成14年 8月28日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/092
H01L 21/8238

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬1丁目8番地 セイコーインス
ツルメンツ株式会社内

【氏名】 小山内 潤

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 半導体基板上に素子分離領域とゲート絶縁膜を形成する工程と、

前記素子分離領域と前記ゲート絶縁膜上に後にゲート電極を構成する多結晶シリコン膜を形成する工程と、

前記多結晶シリコン膜上に絶縁膜を形成する工程と、

後にPMOSとなる領域以外の領域を開口するように前記絶縁膜をパターニングする工程と、

拡散炉中においてN型不純物雰囲気中で熱処理することにより前記多結晶シリコン膜の前記絶縁膜開口領域をN型とする工程と、

前記パターニングされた絶縁膜を除去する工程と、

イオン注入法により前記多結晶シリコン膜の全面にP型の不純物を導入する工程とからなることを特徴とする半導体装置の製造方法。

【請求項 2】 前記多結晶シリコン上にタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドなどの高融点金属シリサイドを形成する請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記多結晶シリコンの膜厚は50nmから400nmである請求項 1 記載の半導体装置の製造方法。

【請求項 4】 前記絶縁膜の膜厚は100nm以上である請求項 1 記載の半導体装置の製造方法。

【請求項 5】 前記N型多結晶シリコン中の不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 以上である請求項 1 記載の半導体装置の製造方法。

【請求項 6】 前記イオン注入によるP型不純物イオンのドーズ量は $1 \times 10^{15} / \text{cm}^2$ 以上である請求項 1 記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は低電圧動作が可能で低消費電力であるデュアルゲート構造を有するCMOS半導体装置の製造方法に関する。

【 0 0 0 2 】

【従来の技術】

半導体装置の低電圧動作を可能とするために、CMOSを構成するNMOSとPMOSの両方を表面チャネル素子とする必要がある。そして、その構造を得る従来のデュアルゲートCMOS半導体装置の製造方法を説明するため、製造途中の構造を図8に示す。P型半導体基板201上に形成されたフィールド絶縁膜203を境界として、部分的にNウェル領域202が形成されている。P型半導体基板201とNウェル領域202上にはゲート絶縁膜204が形成されている。そして、それらの上には、多結晶シリコン膜が形成されている。多結晶シリコン上にPMOSとなる領域を開口するようにパターニングしたレジストをマスクとしてボロンをイオン注入することでP型多結晶シリコン膜領域207を形成し、次に、NMOSとなる領域を開口するようにパターニングしたレジストをマスクとしてリンをイオン注入しN型多結晶シリコン膜領域206を形成している（例えば、特許文献1参照。）。また予め多結晶シリコン全域にボロンをイオン注入してP型多結晶シリコン領域を形成した後、NMOSとなる領域を開口するようにパターニングしたレジストをマスクとしてリンをイオン注入し、カウンタードープによりP型多結晶シリコン領域をN型多結晶シリコン領域206とし、図8の構造を得る形成方法もある（例えば、特許文献1参照。）。

【 0 0 0 3 】

【特許文献1】

特開平6-310666（第6頁、図3-(A)）

【 0 0 0 4 】

【発明が解決しようとする課題】

上記の従来の製造方法において、P型多結晶シリコン膜領域とN型多結晶シリコン膜領域を各々マスクを用いて製造する方法においては工程数の点で製造コストの増加という問題を有している。また予め多結晶シリコン全域をP型多結晶シリコン領域とした後、カウンタードープによりP型多結晶シリコン領域をN型多結晶

シリコン領域とする製造方法においては工数の点では有利であるが、ゲート電極が低抵抗とならない問題および工程における各々の不純物の少量のばらつきにより、例えばゲート電極の空乏化の発生など素子特性が大きく劣化するという問題を有している。

【0005】

本発明はマスク工程数が少なく安価でかつ素子特性も安定である製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

【0007】

(1) 半導体基板上に素子分離領域とゲート絶縁膜を形成する工程と、前記素子分離領域と前記ゲート絶縁膜上に後にゲート電極を構成する多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜上に絶縁膜を形成する工程と、後にPMOSとなる領域以外の領域を開口するように前記絶縁膜をパターニングする工程と、拡散炉中においてN型不純物雰囲気中で熱処理することにより前記多結晶シリコン膜の前記絶縁膜開口領域をN型とする工程と、前記パターニングされた絶縁膜を除去する工程と、イオン注入法により前記多結晶シリコン膜の全面にP型の不純物を導入する工程とからなることを特徴とする半導体装置の製造方法とした。

【0008】

(2) 前記多結晶シリコン上にタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドなどの高融点金属シリサイドを形成することを特徴とする半導体装置の製造方法とした。

【0009】

(3) 前記多結晶シリコンの膜厚は50nmから400nmであることを特徴とする半導体装置の製造方法とした。

【0010】

(4) 前記絶縁膜の膜厚は100nm以上であることを特徴とする半導体装置の製

造方法とした。

【0011】

(5) 前記N型多結晶シリコン中の不純物濃度は $1 \times 10^{20} / \text{cm}^3$ 以上であることを特徴とする半導体装置の製造方法とした。

【0012】

(6) 前記イオン注入によるP型不純物イオンのドーズ量は $1 \times 10^{15} / \text{cm}^2$ 以上であることを特徴とする半導体装置の製造方法とした。

【0013】

【発明の実施の形態】

以下、本発明による半導体装置の製造方法の実施例を図面を用いて説明する。

【0014】

図1は、従来法によりP型半導体基板101にNウェル102を形成した後、いわゆるLOCOS法により素子分離領域であるフィールド絶縁膜103を形成し、その後ゲート絶縁膜104を例えば電気炉中での熱酸化により形成した後、多結晶シリコン105を被着した様子を示している。

【0015】

本例においてはP型半導体基板を用いたNウェル構造を示しているが、N型半導体基板を用いたPウェル方式の場合においても本発明の効果は同じように得られる。また図にはシングルウェル構造を示しているがPウェルとNウェルの両方を形成するツインウェル構造としても本発明の効果は同様に得られる。

【0016】

また、図示はしていないがゲート絶縁膜104形成の前後にMOSのしきい値電圧制御のために、イオン注入法によりチャネル部分への不純物導入を行う場合もある。このときNMOSとなる領域にはしきい値電圧がエンハンスメントの場合、例えばボロンなどのアクセプタ不純物導入を行い、PMOSとなる領域にはやはりしきい値電圧がエンハンスメントの場合、例えば砒素などのドナー不純物の導入を行う。

【0017】

多結晶シリコンは通常減圧での化学気相成長法(Chemical Vapor Deposition、

以後CVDと表記)によりシランガスを分解することで酸化膜上に成膜される。膜厚はゲート電極の構造によるが、多結晶シリコン単層をゲート電極とする場合には膜厚は300nmから400nmであり、多結晶シリコン上に高融点金属シリサイドを設けるいわゆるポリサイドゲート構造の場合には膜厚は50nmから250nmの膜厚である。

【0018】

次に、図2に示すようにCVD法により例えばNSG(Nondoped Silicate Glass)などの絶縁膜106を100nm以上多結晶シリコン上に成膜する。この膜厚は後述するプリデポジションによるN型不純物を多結晶シリコン中に導入する工程においてマスクとなる膜厚以上必要であるが、厚い場合には加工精度やエッチングに時間がかかるため通常は200nm程度の膜厚を用いる。

【0019】

本CVD工程が400℃程度の低温の場合にはマスク性の観点から絶縁膜の緻密化が必要であり、絶縁膜成膜に引き続き900℃程度で30分程度のアニール工程を行う。成膜温度が比較的高温であるHTO(High Temp Oxide)の場合にはアニール工程は不要である。

【0020】

また、本工程における膜の材質としてシリコン酸化膜がマスク性および加工性の点で有効であるが、絶縁膜加工時に下地の多結晶シリコンに対し選択比が大きくかつ後述するプリデポジション工程においてマスク性がある材質であれば適用可能である。

次に、フォトリソグラフィ法により後にPMOSとなる領域以外の部分を開口するようにフォトレジスト107をパターニングし、そのフォトレジストをマスクとして絶縁膜106をエッチングし図3に示す構造を得る。絶縁膜106がシリコン酸化膜の場合、エッチングは通常フッ酸を用いたウェットエッチングを行う。ウェットエッチングは下地多結晶シリコンに対し選択比が非常に大きく、またドライエッチングに比して素子にプラズマによる損傷を与えないという点で有効である。

【0021】

次に、フォトリジスト107を除去した後、拡散炉中にてN型不純物雰囲気中で熱処理を行うことで不純物を導入するいわゆるプリデポジション法により、絶縁膜106が設けられている領域以外の多結晶シリコンをN+多結晶シリコンとし図4に示す構造を得る。不純物は多結晶シリコンが露出している部分にのみ導入され、絶縁膜で覆われている領域には導入されずに済む。このときの不純物としてはプリデポジション法で一般的なリンを用いる。

【0022】

プリデポジション法はイオン注入法に比べ安価な装置で済み、かつ $1 \times 10^{20} / \text{cm}^3$ 以上の非常に高濃度な不純物の導入が容易に行える点、即ち低抵抗化においてイオン注入法に比べ有利である。また本工程において不純物は十分に拡散されるため、両極ゲート構造において時折問題となるゲート電極空乏化の問題も回避できる。

【0023】

次に、図5に示すように、絶縁膜をフッ酸溶液中でのウェットエッチングにより除去した後、イオン注入法によりボロンや BF_2 などのP型の不純物を多結晶シリコン全面に導入し熱処理することで、後にPMOSとなる領域上の多結晶シリコンをP+多結晶シリコン領域109とする。このときの不純物ドーズ量は $1 \times 10^{15} / \text{cm}^2$ 以上で行い、熱処理条件は後の工程での熱処理条件にもよるが電気炉における熱処理であれば800℃から850℃で30分程度であり、RTA(Rapid Thermal Annealing)であれば900℃から1050℃の温度で15秒から1分程度である。

【0024】

予めN型の不純物が導入されている多結晶シリコン領域はプリデポジション法による非常に高濃度な不純物導入であるため、イオン注入による $10^{15} / \text{cm}^2$ 程度のP型の不純物導入では導電型は逆転することはなく、また抵抗値も低抵抗を維持することが可能である。

【0025】

ゲート電極をP型とした場合、過剰な熱処理を行うとボロンがチャンネル中に突き抜けてPMOSのしきい値を変動させる問題があり、逆に熱処理が不十分な場合にはゲート電極の空乏化による素子特性の劣化の問題があり、さらに両極ゲート構

造においてはNMOSのN型ゲート電極形成の最適化も考慮して素子製造設計を行わなくてはならず製造条件が極端に制限されるという問題があるが、本製造方法によればNMOSのN型ゲート電極構造は既に前工程において形成されているため、それとは独立に本工程においてP型ゲート電極形成の熱処理やドーズ量などの製造条件を条件設定でき、両極ゲート構造における諸問題を回避することができる。

【0026】

次に、図6に示すように、スパッタ法により高融点金属シリサイド110を多結晶シリコン上に形成する。シリサイド材はたとえばタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドなどであり膜厚は100nmから250nmである。

【0027】

本工程はゲート電極のさらなる低抵抗化と、P型多結晶シリコンとN型多結晶シリコンを金属配線を介さなくても直接結合可能とするための層形成であり、特にそれらが問題として顕在化しない製品においては本工程は不要であり、ゲート電極を多結晶シリコン単層で構成してもかまわない。

【0028】

次に通常のCMOS工程と同様に、NMOSとPMOSのゲート電極を同時に形成した後イオン注入法によりNMOSのソース／ドレインとなるN⁺拡散111とPMOSのソース／ドレインとなるP⁺拡散112を形成し図7に示す構造を得る。

本実施例においては一般的なシングルドレイン構造を示しているが、ホットキャリアー耐性を有するLDD(Lightly Doped Drain)構造やDDD(Double Diffused Drain)構造やマスクオフセット構造などの低濃度のドレイン領域を有する構造にも本実施例は適用可能であり効果も同様に得られる。

【0029】

本実施例においては先にN型多結晶シリコン領域を形成し、その後P型多結晶シリコン領域を形成する製造方法を示したが、先に多結晶シリコン全域をP型とし、その後本実施例に示した工程により選択的にN型多結晶シリコン領域を形成することも可能である。しかしその場合P型多結晶シリコン領域は熱処理を余分に受けることになるのでボロンのチャネルへの突き抜けによるしきい値変動の点

で不利である。

【 0 0 3 0 】

【発明の効果】

上述したように、本発明は両極ゲートCMOS半導体装置の製造方法において、ゲート電極を構成する多結晶シリコン中に絶縁膜をマスクとしてプリデポジション法によりN型領域を選択的に形成した後、絶縁膜を除去し全面にP型の不純物をイオン注入することにより、安価でかつ素子特性も安定である半導体装置を提供することが可能となる。

【図面の簡単な説明】

【図 1】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 2】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 3】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 4】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 5】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 6】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 7】

本実施例の半導体装置の製造方法を示す模式的断面図である。

【図 8】

従来の半導体装置の製造方法を示す模式的断面図である。

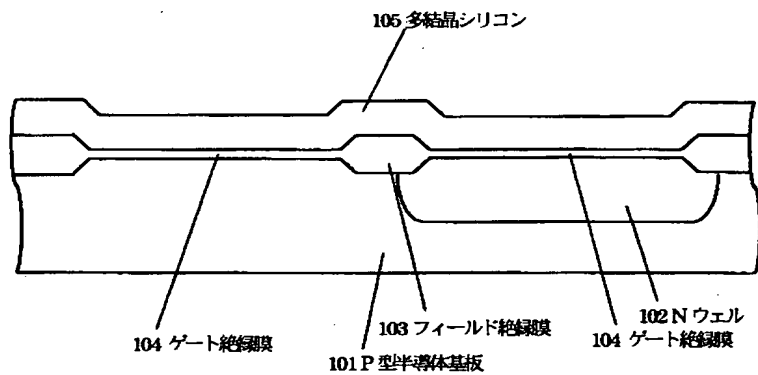
【符号の説明】

- 1 0 1、2 0 1 P型半導体基板
- 1 0 2、2 0 2 Nウェル
- 1 0 3、2 0 3 フィールド絶縁膜

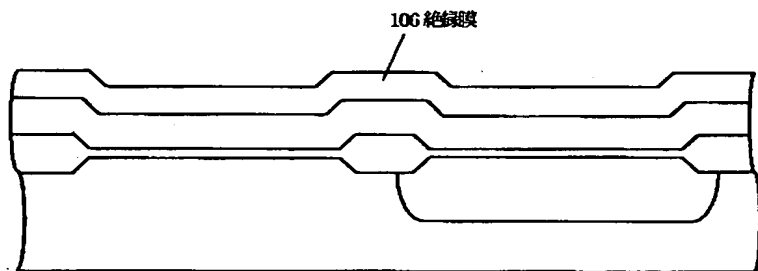
- 104、204 ゲート絶縁膜
- 105、205 多結晶シリコン
- 106 絶縁膜
- 107 フォトレジスト
- 108、206 N+多結晶シリコン
- 109、207 P+多結晶シリコン
- 110 高融点金属シリサイド
- 111 N+拡散
- 112 P+拡散

【書類名】 図面

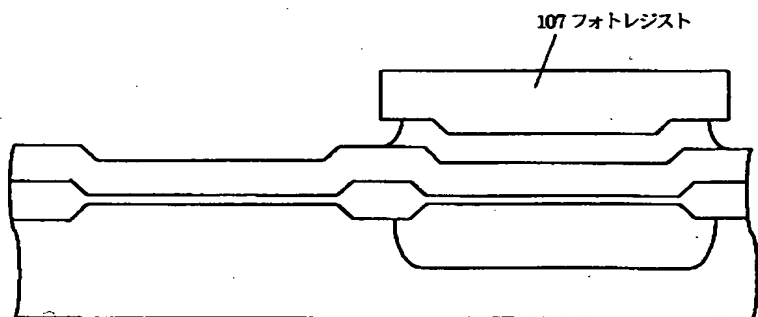
【図 1】



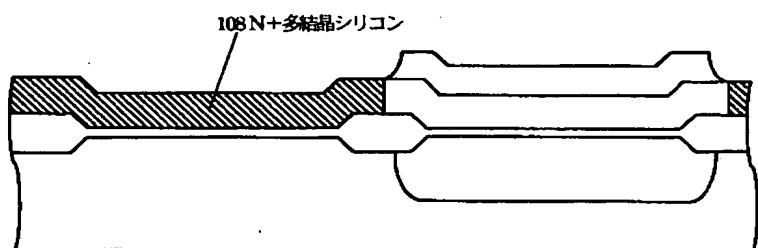
【図 2】



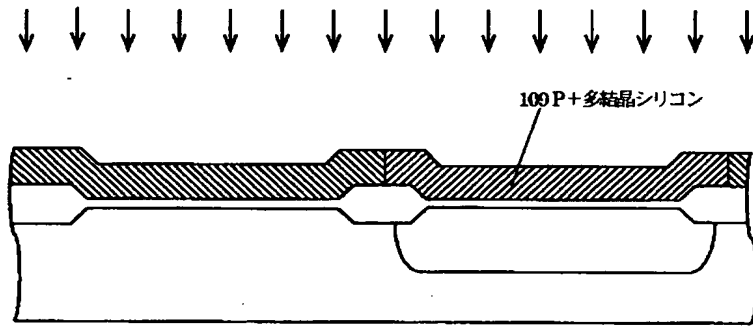
【図 3】



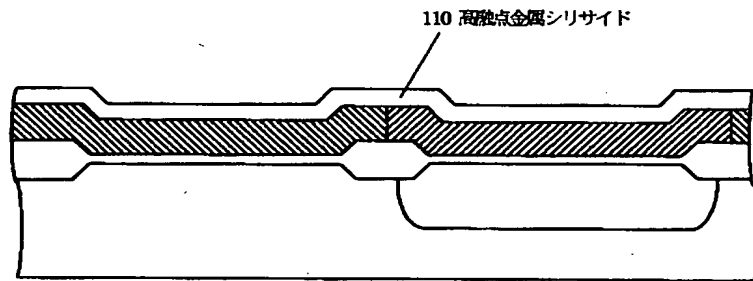
【図 4】



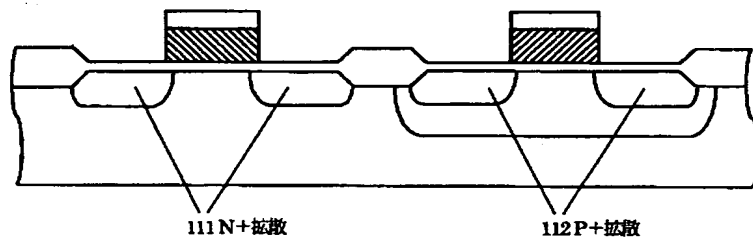
【図 5】



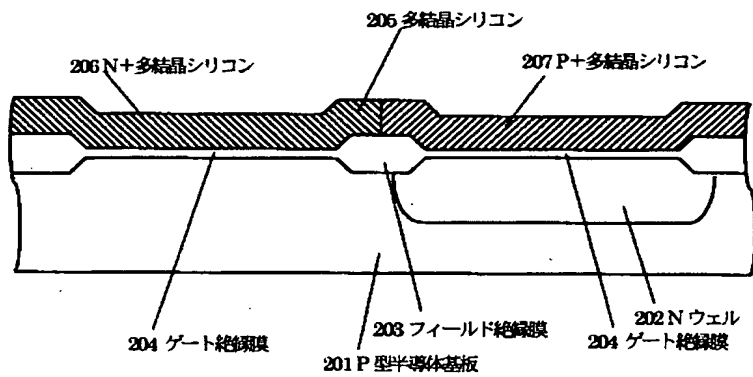
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 安価でかつ素子特性も安定である両極ゲートCMOS半導体装置の製造方法を提供することを目的とする。

【解決手段】 両極ゲートCMOS半導体装置の製造方法において、ゲート電極を構成する多結晶シリコン中に絶縁膜をマスクとしてプリデポジション法によりN型領域を選択的に形成した後、絶縁膜を除去し全面にP型の不純物をイオン注入することにより、安価でかつ素子特性も安定である半導体装置を提供することが可能となる。

【選択図】 図4

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社